



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Schroeder, et al. Docket No.: INF-128
Serial No.: 10/761,242 Art Unit: 2818
Filed: January 22, 2004 Examiner: TBD
For: DRAM Memory with a Shared Sense Amplifier Structure

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Transmittal of Certified Copy of Priority Document

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany
Application Number: 103 02 649.5
Filing Date: January 23, 2003

Respectfully submitted,

Ira S. Matsil
Reg. No. 35,272
Attorney for Applicants

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 02 649.5

Anmeldetag: 23. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE

Bezeichnung: RAM-Speicher

IPC: G 11 C 11/404

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 29. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read "Hintermeier".

Hintermeier

**CERTIFIED COPY OF
PRIORITY DOCUMENT**



A 9161
18/00
EDV-L

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte:	12366	Ko/Ant/mk
Anmelderzeichen:	2002P14201 DE (2002 E 14143 DE)	23.01.2003

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

RAM-Speicher

Beschreibung

RAM-Speicher

5 Die Erfindung betrifft einen RAM-Speicher mit Shared-SA-Struktur, bei dem in SA-Streifen zwischen jeweils zwei benachbarten Zellenblöcken angeordnete als Differenzverstärker gestaltete Senseverstärker durch jeweilige Isolationstransistorpaare auf ein diesen zugeführtes Verbindungssteuersignal
10 hin zu einer Zeit mit einem von mehreren Bitleitungspaaren der beiden benachbarten Zellenblöcke verbindbar sind.

Das Speicherfeld von DRAM-Halbleiterspeichern ist in durch Wortleitungen definierte Zeilen und durch Bitleitungen definierte Spalten strukturiert. Beim Speicherzugriff wird zunächst eine Wortleitung aktiviert. Dadurch werden die in einer Zeile angeordneten Speicherzellen jeweils mit einer Bitleitung leitend verschaltet. Die Bitleitung wird zu einem Leseverstärker geführt, ein so genannter Senseverstärker
20 (SA), der das über die Bitleitung übertragene Zellensignal detektiert und verstärkt. Das verstärkte Signal wird einerseits in die Zelle zurückgeschrieben und kann andererseits nach außen ausgelesen werden.

25 Um eine möglichst kompakte Anordnung des Zellenfeldes zu erreichen, sind möglichst lange Bitleitungen anzustreben. Dies führt aber leider zu einer Reduktion des vom Leseverstärker zu detektierenden Signals.

30 In der beiliegenden Fig. 1 ist eine übliche Aufteilung eines Speicherzellenfeldes in einem DRAM in einzelne Blöcke 1, 2, 3, 4 dargestellt. Zwischen jeweils zwei benachbarten Zellenblöcken befinden sich die Senseverstärker in so genannten SA-Streifen 11, 12, 13. Um Platz zu sparen, wird ein in einem
35 SA-Streifen, zum Beispiel 12, zwischen zwei benachbarten Zellenblöcken 2, 3 liegender Senseverstärker je nach akti-

vierter Wortleitung WL, von denen zur Vereinfachung in Fig. 1 nur eine einzige Wortleitung 9 im Zellenfeld 3 gezeigt ist, entweder für die vom linken Zellenblock 2 kommende Bitleitung (BL) 5 oder für die vom rechten Zellenblock 3 kommende Bit-
5 leitung 6 gemeinsam verwendet. Dieses Konzept wird allgemein als "Shared-SA-Struktur" bezeichnet.

Die Fig. 2 zeigt Details einer solchen bekannten Shared-SA-Struktur bei der ein Senseverstärker SA gemeinsam für zwei von einem linken und rechten Zellenblock 2, 3 kommende Bit-
10 leitungen 5, 6 vorgesehen ist. Es ist hier zu bemerken, dass die Informationssignale von und zu den Speicherzellen in Form von differentiellen Signalen auf komplementären Bitleitungen BLT, BLC geführt werden. Diese komplementären Bitleitungen
15 BLT und BLC werden als Bitleitungspaar bezeichnet. Von einer an diesem Bitleitungspaar hängenden Speicherzelle ist zur Vereinfachung nur eine Speicherkapazität 10 sowie ein zugehöriger Auswahltransistor T gezeigt. Der Auswahltransistor T wird von einem Wortleitungssignal WL über die Wortleitung 9
20 aktiviert. Jedes Bitleitungspaar, das einem gemeinsamen Senseverstärker zugeteilt ist, verfügt über Isolations- bzw. Verbindungsschalter S5, S6, deren Schaltzustand von einem jeweiligen Verbindungssteuersignal ISO links über eine erste Leitung 21 und ISO rechts über eine zweite Leitung 22 einge-
25 stellt wird.

Es ist nun deutlich geworden, dass sich die Fläche für die SA-Streifen um so mehr verringern lässt, je mehr Bitleitungspaare von einem linken und rechten Zellenfeldblock einem gemeinsamen SA aufschaltbar sind.
30

Die Erfindung hat sich deshalb zur Aufgabe gestellt, ein Shared-SA-Konzept für einen RAM-Speicher zu verbessern, so dass die Anzahl der insgesamt in einem RAM-Speicher benötigten Senseverstärker noch weiter verringert und eine entspre-
35

chende Flächeneinsparung bei der Integration der Senseverstärker im SA-Streifen realisiert werden kann.

Diese Aufgabe wird anspruchsgemäß gelöst.

5

Gemäß einem wesentlichen Aspekt ist ein die obige Aufgabe lösender erfindungsgemäßer RAM-Speicher dadurch gekennzeichnet, dass die Senseverstärker jeweils gemeinsam für vier Bitleitungspaare von den beiden benachbarten Zellenblöcken angeordnet sind. Auf diese Weise wird die Anzahl der insgesamt benötigten Senseverstärker eines RAM-Speichers halbiert und eine entsprechende Flächeneinsparung realisiert.

10

10

Dafür können die eine gemeinsame Wortleitung aufweisenden Speicherzellen eines ersten und zweiten demselben Senseverstärker zugeordneten Bitleitungspaares desselben Zellenblocks einen ersten und zweiten Auswahltransistor aufweisen, die so eingerichtet sind, dass ein Wortleitungssignal eines ersten Pegels auf der gemeinsamen Wortleitung eine erste der beiden Speicherzellen auf das ihr zugehörige Bitleitungspaar aufschaltet (auswählt) und die zweite Speicherzelle von dem ihr zugehörigen Bitleitungspaar trennt während ein Wortleitungssignal eines zweiten unterschiedlichen Pegels die erste Speicherzelle von dem zugehörigen Bitleitungspaar trennt und die zweite Speicherzelle auf das zugehörige Bitleitungspaar aufschaltet.

20

25

Bevorzugt ist der erste Auswahltransistor ein PMOS-Transistor, während der zweite Auswahltransistor ein NMOS-Transistor ist. In diesem Fall kann der erste Pegel des Wortleitungssignals ein tiefer Pegel und der zweite Pegel ein hoher Pegel sein.

30

35

Weiterhin bevorzugt sind ein erstes und zweites Isolationstransistorpaar jeweils für ein erstes und zweites demselben Senseverstärker zugeordnetes Bitleitungspaar desselben Zel-

lenblocks so eingerichtet, dass ein ihnen über eine gemeinsame Verbindungssteuerleitung zugeführtes Verbindungssteuersignal eines ersten Pegels eines der beiden Bitleitungspaare auf den gemeinsamen Senseverstärker aufschaltet und das andere 5 Bitleitungspaar von diesem Senseverstärker trennt, während ein Verbindungssteuersignal eines zweiten Pegels auf derselben Verbindungssteuersignalleitung das eine Bitleitungspaar von dem gemeinsamen Senseverstärker trennt und das andere Bitleitungspaar auf den gemeinsamen Senseverstärker aufschaltet.
10

Dabei kann bevorzugt das erste Isolationstransistorpaar aus PMOS-Transistoren und das zweite Isolationstransistorpaar aus NMOS-Transistoren bestehen, wobei in diesem Fall der erste 15 Pegel des Verbindungssteuersignals ein tiefer Pegel und der zweite Pegel des Verbindungssteuersignals ein hoher Pegel sind.

Die zum Betrieb eines derartigen RAM-Speichers notwendigen 20 Signale werden von einer dafür vorgesehenen Steuereinrichtung erzeugt, die zur Aufschaltung eines Bitleitungspaares von dem ersten und zweiten Bitleitungspaar auf den gemeinsamen Senseverstärker in einem Aufschaltintervall (zum Beispiel Leseintervall) das Wortleitungssignal und das Verbindungssteuersignal für dieses Bitleitungspaar entweder mit dem ersten Pegel 25 oder mit dem zweiten Pegel so erzeugt, dass das Verbindungssteuersignal innerhalb des Zeitintervalls des Wortleitungssignals liegt und zur selben Zeit an die zu den Isolationstransistorpaaren der demselben Senseverstärker zugeordneten Bitleitungspaare des benachbarten Zellenblocks führende Verbindungssteuersignalleitung einen diese deaktivierenden Mit- 30 tenpegel anlegt.

Es ist zu bemerken, dass bei einem mit den obigen Merkmalen 35 realisierten RAM-Speicher neben der Anzahl der Senseverstär-

ker auch noch die Anzahl der physikalischen Wortleitungen halbiert ist.

Die obigen und weitere vorteilhafte Merkmale werden in der 5 nachfolgenden, ein Ausführungsbeispiel eines erfundungsgemäß RAM-Speichers erläuternden Beschreibung noch deutlicher, wenn diese bezogen auf die beiliegende Zeichnung gelesen wird.

10 Die Zeichnungsfiguren zeigen im Einzelnen:

Fig. 1 schematisch ein bereits eingangs besprochenes in einzelne Zellenblöcke mit dazwischen liegenden SA-Streifen eingeteiltes Speicherzellenfeld eines 15 DRAM-Halbleiterspeichers;

Fig. 2 eine eingangs bereits erläuterte Shared-SA-Struktur eines DRAM-Halbleiterspeichers gemäß 20 Fig. 1, bei dem ein Senseverstärker gemeinsam von zwei Bitleitungspaaren zweier benachbarter Zellenblöcke genutzt wird;

Fig. 3 schematisch ein Ausführungsbeispiel eines erfundungsgemäß RAM-Speichers mit Shared-SA-Struktur, bei dem ein Senseverstärker von vier 25 Bitleitungspaaren gemeinsam genutzt wird.

Fig. 3 zeigt ein Ausführungsbeispiel für einen vierfach genutzten Senseverstärker SA. In einem mit 3 bezeichneten Zellenblock befindet sich ein unteres Bitleitungspaar 61 und ein 30 oberes Bitleitungspaar 62. Am unteren Bitleitungspaar liegt eine als Speicherkapazität dargestellte Speicherzelle 101, die über einen PMOS-Auswahltransistor T1 mit dem unteren Bitleitungspaar 61 nach Aktivierung einer Wortleitung 9 durch 35 ein Wortleitungssignal WL verbunden wird. Gleichermaßen ist eine als Speicherkapazität dargestellte andere Speicherzelle

102 durch einen von derselben Wortleitung 9 aktivierbaren NMOS-Auswahltransistor T2 mit dem oberen Bitleitungspaar 62 zu verbinden. Das Isolationstransistorpaar T61 für das untere Bitleitungspaar 61 besteht aus PMOS-Transistoren und das

5 Isolationstransistorpaar T62 für das obere Bitleitungspaar 62 besteht aus NMOS-Transistoren. Die Verbindungssteuersignalleitung 22, die ein Verbindungssteuersignal ISO rechts zu- führt, geht gemeinsam zu den Isolationstransistorpaaren T61 und T62.

10

In ähnlicher Weise sind zwei denselben Senseverstärker SA nutzende Bitleitungspaare 51 und 52 von einem benachbarten linken Zellenblock 2 jeweils durch ein Isolationstransistorpaar T51, das als PMOS-Transistoren besteht, und ein Isolati- 15 onstransistorpaar T52, das aus NMOS-Transistoren besteht, auf ein über eine gemeinsame Leitung 21 zugeführtes Verbindungs- steuersignal ISO links mit dem Senseverstärker verbindbar.

Eine Steuereinrichtung SE ist vorgesehen, um das Wortlei- 20 tungssignal WL auf der Leitung 9 und die Verbindungssteuer- signale auf den Leitungen 21 und 22 mit dem richtigen Pegel und der richtigen zeitlichen Abfolge zu erzeugen.

Das nachfolgende Steuerbeispiel bezieht sich beispielhaft auf 25 eine jeweilige Verbindung der Speicherzellen 101 und 102 über die Bitleitungspaare 61, 62 vom rechten Zellenblock 3 mit dem gemeinsamen vierfach genutzten Senseverstärker.

Im deaktivierten Zustand befindet sich sowohl das Wortlei- 30 tungssignal WL auf der Wortleitung 9 als auch die Verbin- dungssteuersignale ISO links und ISO rechts auf den Verbin- dungssteuersignalleitungen 21 und 22 jeweils des linken Zel- lenblocks 2 und des benachbarten rechten Zellenblocks 3 auf Mittenpegel. Alle Transistoren T1, T2, T51, T52, T61 und T62 35 sperren dann. Mit der Aktivierung des Wortleitungssignals WL auf der Leitung 9 erfolgt eine Auswahl zwischen dem unteren

Bitleitungspaar 61 und dem oberen Bitleitungspaar 62, hier beispielhaft von dem rechten Zellenblock 3. Zur Aktivierung des unteren Bitleitungspaares 61 und Auswahl der unteren Speicherzelle 101 wird das Wortleitungssignal WL auf der Wortleitung 9 auf tiefen Pegel geschaltet. Das Verbindungssteuersignal ISO rechts auf der Leitung 22 wird ebenfalls auf tiefen Pegel geschaltet. Damit sind die PMOS-Transistoren T1 und T61 leitend, während die NMOS-Transistoren T2 und T62 gesperrt bleiben. Für die Aktivierung des oberen Bitleitungspaares 62 und Auswahl der oberen Speicherzelle 102 werden das Signal auf der Wortleitung 9 und das Verbindungssteuersignal ISO rechts auf der Verbindungssteuersignalleitung 22 auf hohen Pegel geschaltet. Dann leiten die NMOS-Transistoren T2 und T62, und das obere Bitleitungspaar 62 ist dann mit dem Senseverstärker SA verbunden, während die PMOS-Transistoren T1 und T61 des unteren Bitleitungspaares 61 gesperrt sind. In beiden Fällen bleibt das Verbindungssteuersignal ISO links auf der Signalleitung 21 des linken Zellenblocks 2 auf Mittenpegel, so dass die Isolationstransistorpaare T51 und T52 gesperrt sind.

Zur Aktivierung und Auswahl eines der beiden Bitleitungspaares 51 und 52 und Aufschaltung desselben auf den gemeinsam genutzten Senseverstärker SA wird das Verbindungssteuersignal ISO links und das Wortleitungssignal auf der in Fig. 3 nicht gezeigten Wortleitung des linken Zellenblocks in entsprechender Weise von der in Fig. 3 pauschal angedeuteten Steuereinrichtung SE erzeugt. Selbstverständlich sind in Fig. 3 nur die Komponenten und Signale dargestellt, die für die vorliegende Realisierung eines RAM-Speichers mit vierfach genutztem Senseverstärker SA von Bedeutung sind. Weitere Komponenten, wie lokale Datenleitungen, Equalizeschalter und so weiter sind für diese Erfindung unwesentlich und deshalb in Fig. 3 nicht gezeigt.

Patentansprüche

1. RAM-Speicher mit Shared-SA-Struktur, bei dem in SA-Streifen (11, 12, 13) zwischen jeweils zwei benachbarten Zellenblöcken (1, 2; 2, 3; 3, 4) angeordnete als Differenzverstärker gestaltete Senseverstärker (SA) durch jeweilige Isolationstransistorpaare (T51, T61, T52, T62) auf ein diesen zugeführtes Verbindungssteuersignal (ISO links, ISO rechts) hin zu einer Zeit mit einem von mehreren Bitleitungspaaren (51, 61, 52, 62) der beiden benachbarten Zellenblöcke (1, 2; 2, 3; 3, 4) verbindbar sind,
dadurch gekennzeichnet,
dass die Senseverstärker (SA) jeweils gemeinsam für vier Bitleitungspaare (51, 61, 52, 62) der beiden benachbarten Zellenblöcke (1, 2; 2, 3; 3, 4) angeordnet sind.

2. RAM-Speicher nach Anspruch 1,
dadurch gekennzeichnet,
dass die eine gemeinsame Wortleitung (z. B. 9) aufweisenden Speicherzellen (z. B. 101, 102) eines ersten und zweiten demselben Senseverstärker (SA) zugeordneten Bitleitungspaares (z. B. 61, 62) desselben Zellenblocks (z. B. 3) jeweils einen ersten und zweiten Auswahltransistor (T1, T2) aufweisen, die so eingerichtet sind, dass ein Wortleitungssignal (WL) eines ersten Pegels auf der gemeinsamen Wortleitung (z. B. 9) eine erste der beiden Speicherzellen (z. B. 101) auswählt und auf das ihr zugehörige Bitleitungspaar (z. B. 61) aufschaltet und die zweite Speicherzelle (z. B. 102) von dem ihr zugehörigen Bitleitungspaar (z. B. 62) trennt und ein Wortleitungssignal (WL) eines zweiten unterschiedlichen Pegels auf der selben Wortleitung (z. B. 9) die erste Speicherzelle (z. B. 101) von dem ihr zugehörigen Bitleitungspaar (z. B. 61) trennt und die andere Speicherzelle (z. B. 102) auf das ihr zugehörige Bitleitungspaar (z. B. 62) aufschaltet.

3. RAM-Speicher nach Anspruch 2,
dadurch gekennzeichnet,
dass der erste Auswahltransistor (T1) ein PMOS-Transistor und
der zweite Auswahltransistor (T2) ein NMOS-Transistor und der
5 erste Pegel des Wortleitungssignals ein tiefer Pegel und der
zweite Pegel des Wortleitungssignals (WL) ein hoher Pegel
sind.

4. RAM-Speicher nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,
dass ein erstes und zweites Isolationstransistorpaar (z. B.
T61, T62) jeweils für ein erstes und zweites demselben Sense-
verstärker (SA) zugeordnetes Bitleitungspaar (z. B. 61, 62)
dieselben Zellenblocks (z. B. 3) so eingerichtet sind, dass
15 ein ihnen über eine gemeinsame Verbindungssteuersignalleitung
(z. B. 22) zugeführtes Verbindungssteuersignal (z. B. ISO
rechts) eines ersten Pegels ein erstes der beiden Bitlei-
tungspaare (z. B. 61) auf den gemeinsamen Senseverstärker
(SA) aufschaltet und das zweite Bitleitungspaar (z. B. 62)
20 von diesem Senseverstärker (SA) trennt, und ein Verbindungs-
steuersignal (z. B. ISO rechts) eines zweiten Pegels auf
derselben Verbindungssteuersignalleitung (z. B. 22) das erste
Bitleitungspaar (z. B. 61) von dem gemeinsamen Senseverstär-
ker (SA) trennt und das zweite Bitleitungspaar (z. B. 62) auf
25 den gemeinsamen Senseverstärker (SA) aufschaltet.

5. RAM-Speicher nach Anspruch 4,
dadurch gekennzeichnet,
dass das erste Isolationstransistorpaar (z. B. T61) PMOS-
30 Transistoren und das zweite Isolationstransistorpaar (z. B.
T62) NMOS-Transistoren aufweisen und der erste Pegel des
Verbindungssteuersignals (z. B. ISO rechts) ein tiefer Pegel
und der zweite Pegel des Verbindungssteuersignals ein hoher
Pegel sind.

6. RAM-Speicher nach einem der Ansprüche 2 bis 5,
d a d u r c h g e k e n n z e i c h n e t ,
dass eine Steuereinrichtung (SE) vorgesehen ist, die zur
Aufschaltung eines Bitleitungspaars von dem ersten und zwei-
5 ten Bitleitungspaar desselben Zellenblocks auf den gemeinsa-
men Senseverstärker (SA) in einem Aufschaltintervall das
Wortleitungssignal (WL) auf der zugehörigen Wortleitung und
das Verbindungssteuersignal für dieses Bitleitungspaar auf
der zugehörigen Verbindungssteuersignalleitung entweder mit
10 dem ersten Pegel oder mit dem zweiten Pegel so erzeugt, dass
das Verbindungssteuersignal innerhalb des Zeitintervalls des
Wortleitungssignals liegt und während desselben Zeitinter-
valls an die zu den Isolationstransistorpaaren der demselben
15 Senseverstärker (SA) zugeordneten Bitleitungspaare des be-
nachbarten Zellenblocks führende Verbindungssteuersignallei-
tung einen diese deaktivierenden Mittenpegel anlegt.

Zusammenfassung

RAM-Speicher

5 Die Erfinung betrifft einen RAM-Speicher mit Shared-SA-Struktur, bei dem in SA-Streifen (11, 12, 13) zwischen jeweils zwei benachbarten Zellenblöcken (1, 2; 2, 3; 3, 4) angeordnete als Differenzverstärker gestaltete Senseverstärker (SA) durch jeweilige Isolationstransistorpaare (T51, T61, T52, T62) auf ein diesen zugeführtes Verbindungssteuersignal (ISO links, ISO rechts) hin zu einer Zeit mit einem von mehreren Bitleitungspaaren (51, 61, 52, 62) der beiden benachbarten Zellenblöcke (1, 2; 2, 3; 3, 4) verbindbar sind, wobei die Senseverstärker (SA) jeweils gemeinsam für vier Bitleitungspaare (51, 61, 52, 62) der beiden benachbarten Zellenblöcke (1, 2; 2, 3; 3, 4) angeordnet sind.

10

15

(Fig. 3)

Bezugszeichenliste

1 - 4	Zellenblöcke
5 - 7, 51, 52, 61, 62	Bitleitungspaare
9	Wortleitung
10, 101, 102	Speicherzelle
21, 22	Verbindungssteuersignalleitung
S5, S6	Schalterpaare
T, T ₁ , T ₂	Auswahltransistor
T51, T52, T61, T62	Isolationstransistorpaare
SA	Senseverstärker
SE	Steuereinrichtung
BLT	Bitleitung wahr
BLC	Bitleitung komplementär
WL	Wortleitung

FIG 1

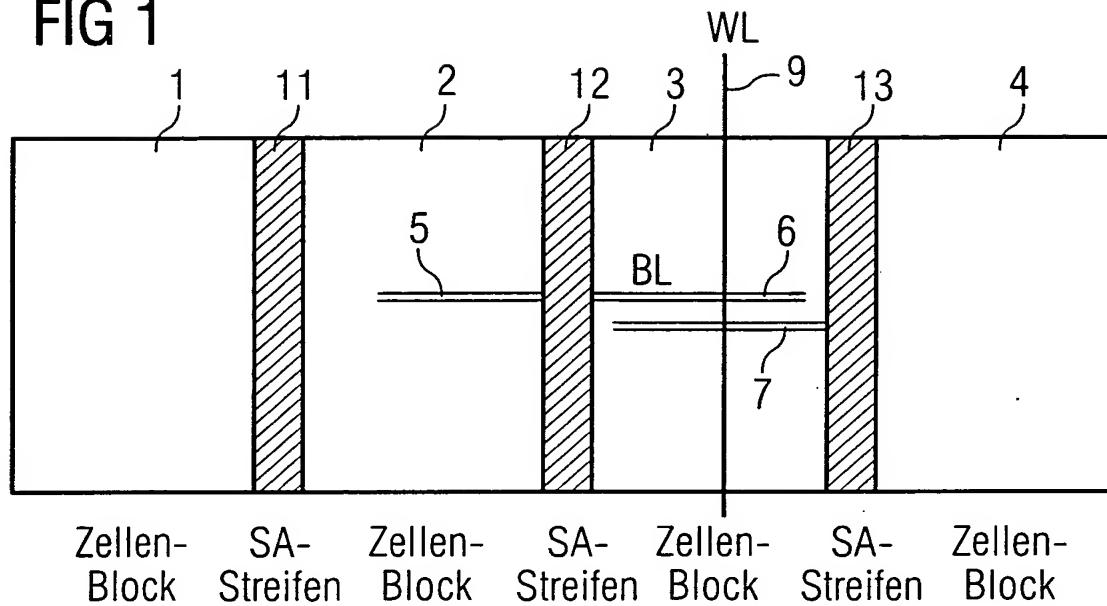


FIG 2

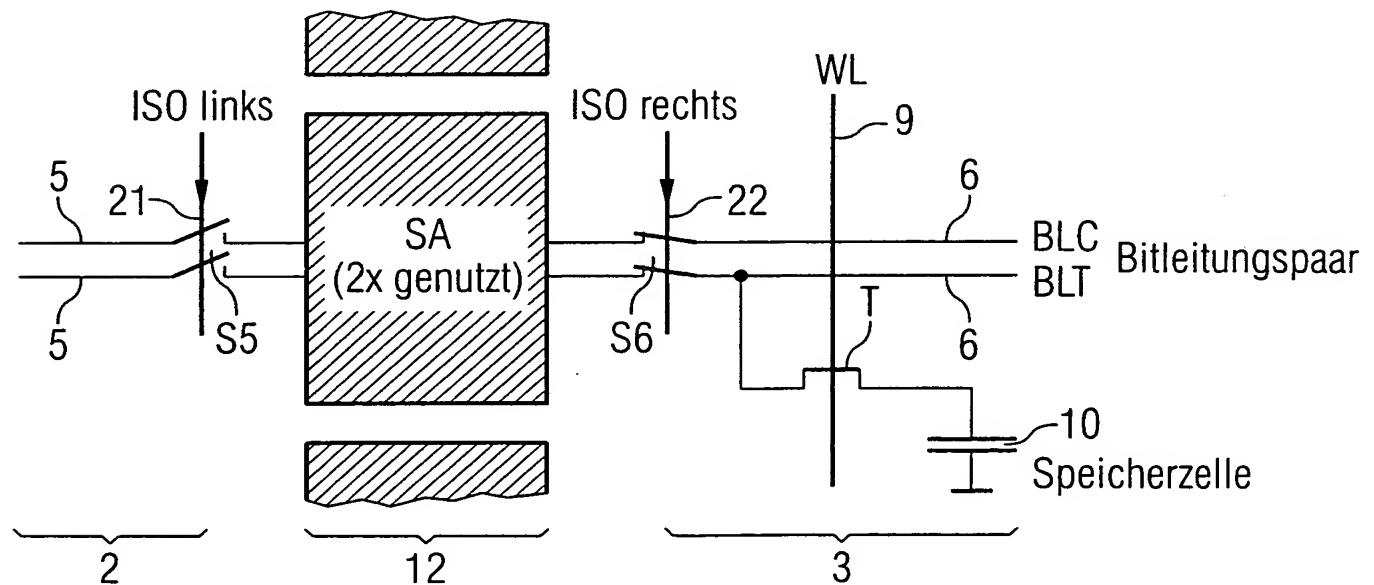
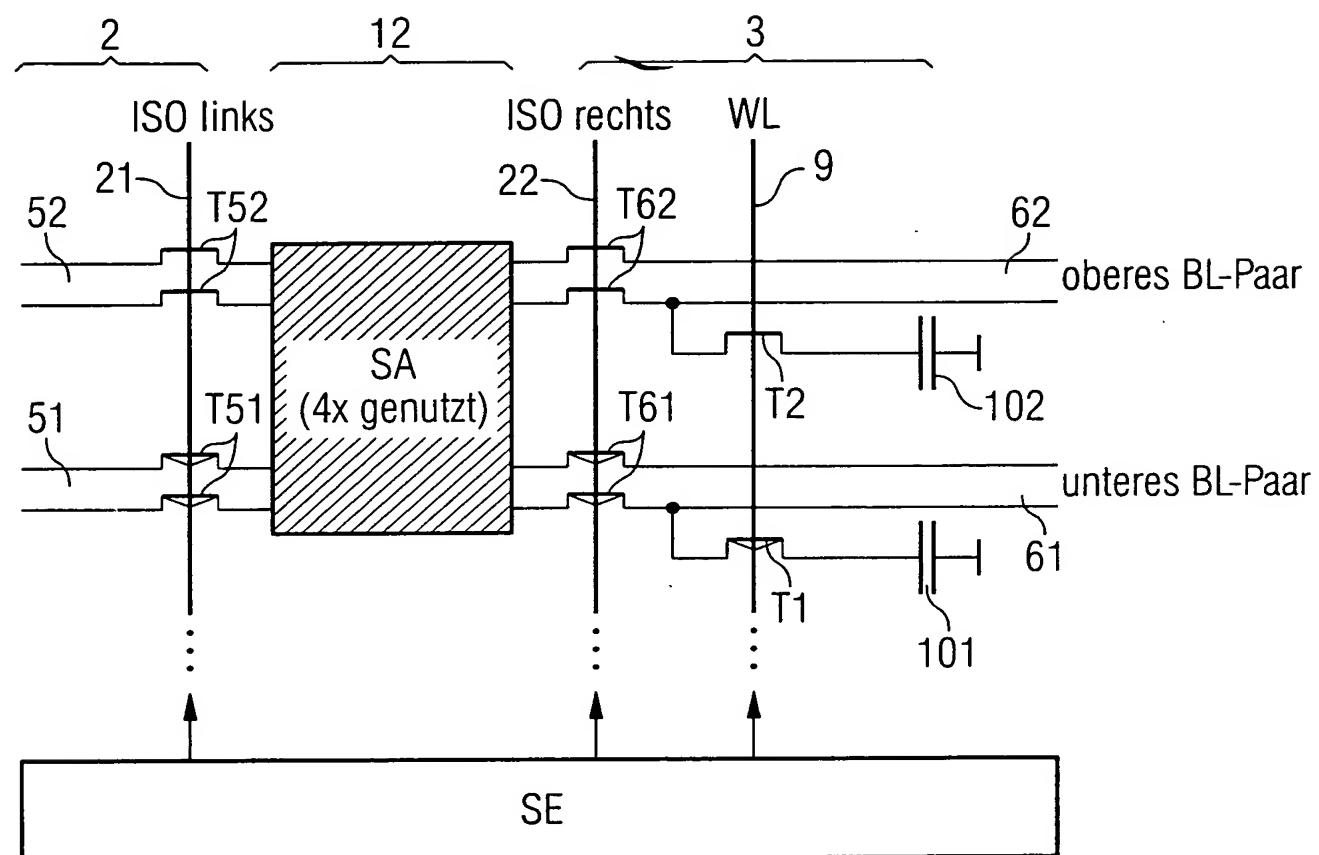


FIG 3



Figur für die Zusammenfassung

FIG 3

